

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2003 年 03 月 20 日  
Application Date

申 請 案 號：092106112  
Application No.

申 請 人：威盛電子股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 4 月 22 日  
Issue Date

發文字號：09220396580  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	控制晶片組間之匯流排及其仲裁方法
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 彭盛昌
	姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：控制晶片組間之匯流排及其仲裁方法)

本發明係有關於一種控制晶片組間之匯流排及其仲裁方法，尤指一種可動態調整匯流排傳輸方向之仲裁方法，其主要係於一第一控制晶片與一第二控制晶片中設有一第一位址資料匯流排及一第二位址資料匯流排，其中第一控制晶片對第一位址資料匯流排擁有較高之優先權，而第二控制晶片對第二位址資料匯流排擁有較高之優先權，當各控制晶片具有較高優先權之位址資料匯流排為忙碌時，可發出一匯流排要求訊號，若另一控制晶片不使用其具有較高優先權之位址資料匯流排時，可讓出其使用權，藉以提高其傳輸效率者。

伍、(一)、本案代表圖為：第\_\_ 3 \_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

2 0          北橋

2 2          南橋

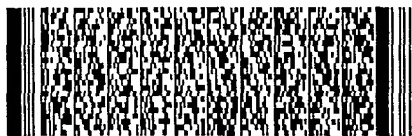
陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：控制晶片組間之匯流排及其仲裁方法)

2 4	CPU
2 6	記憶體
3 8	晶片組間匯流排
3 8 1	下傳命令訊號線
3 8 3	下傳優先匯流排
3 8 5	上傳命令訊號線
3 8 7	上傳優先匯流排

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

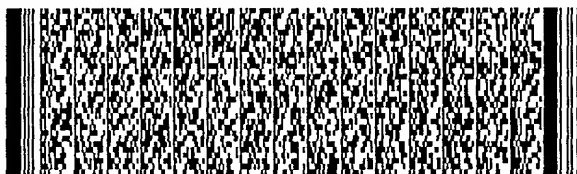
### 【技術領域】

本發明係有關於一種控制晶片組間之匯流排及其仲裁方法，尤指一種可動態調整匯流排傳輸方向之仲裁方法，其主要係於一第一控制晶片與一第二控制晶片間設有一第一位址資料匯流排及一第二位址資料匯流排，各控制晶片分別對各位址資料匯流排擁有較高之優先權，並可依各匯流排之使用狀況，動態調用另一位址資料匯流排，藉以提高控制晶片組間之傳輸效率者。

### 【先前技術】

以往，在一般電腦中其系統架構主要係以PCI系統為主，其中央處理器係經由一主橋接器(host bridge，如北橋晶片)連接到PCI匯流排，再利用PCI匯流排連接各式PCI相容之周邊裝置的主控器(master)，如圖形介面(graphic adapter)、延展匯流排橋接器(expansion bus bridge)、網路介面(LAN adapter)與小型電腦系統主匯流排介面(SCSI host bus adapter)等等。

近年來，資訊產業與半導體製程不斷的蓬勃發展，使人們可以把愈來愈多周邊裝置的主控器整合於一控制晶片(如南橋晶片)中。由於南橋晶片所控制的周邊裝置繁多，相對其與北橋晶片或CPU需要做資料傳輸的機會也較多。在舊有PCI系統架構下，南橋晶片必需與其他周邊裝置共同分享PCI匯流排的頻寬，常常會造成資料傳輸的延遲，使整體效能大打折扣。

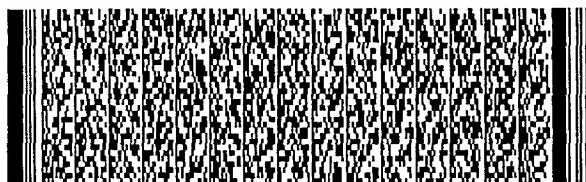


## 五、發明說明 (2)

目前已有部分解決方案，如我國發明專利公告第46812號「控制晶片組之間匯流排之仲裁方法」，如第1圖所示，其CPU 14透過北橋晶片10連接到記憶體16、AGP匯流排以及南橋晶片12，而南橋晶片12則可透過PCI匯流排及ISA匯流排等連接各式周邊裝置。

其中，北橋晶片10與南橋晶片12間設有一控制晶片組間匯流排18。該控制晶片組間匯流排18主要包含有：一組8條雙向訊號線之位址資料匯流排(AD bus)186與一條雙向位元致能訊號線185；由南橋12所驅動的上傳命令(up link command)訊號線187、上傳觸發(up link strobe)訊號線189；還有由北橋10所驅動的下傳命令(down link command)訊號線181、下傳觸發(down link strobe)訊號線183。

由於該位址資料匯流排186係為雙向共用匯流排，故北橋10與南橋12之間必需透過一仲裁機制才能有效使用該位址資料匯流排，不致產生使用上的衝突。該發明中主要係令其中一控制晶片(如北橋)平常掌握晶片間匯流排之控制權，但另一控制晶片(如南橋)則享有較高之匯流排優先權，當南橋發出匯流排要求訊號時，北橋必須立即或在完成其目前執行之匯流排命令週期後，交出匯流排之控制權給南橋，利用此一仲裁方法即可有效利用該控制晶片組間匯流排，使控制晶片組間之資料傳輸可獨立進行，不與其他周邊裝置共同分享習用PCI架構中PCI匯流排之頻寬，而可使整體傳輸效率得到提昇。



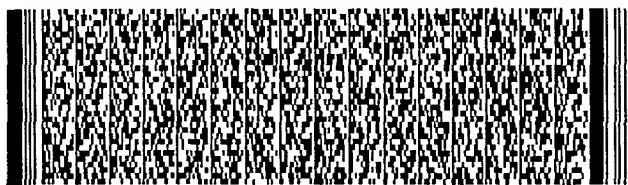
#### 五、發明說明 (3)

然而，上述之解決方案雖可提昇整體之傳輸效率，但仍然有可以改良及增進效率的空間。例如，因為其使用單一雙向共用位址資料匯流排，當北橋與南橋同時急需使用匯流排時，容易產生匯流排使用時間分配不當的問題。另外，匯流排使用權轉換時，需要一個時脈週期的轉換週期 (turn-around cycle)。又，為了防止北橋已送出命令而正在等待進行後續的資料傳輸動作，使南橋誤以為北橋已不使用該匯流排，故於南橋發出匯流排要求訊號後，尚需等待一預定週期後再使用該晶片間匯流排。如此，一來一往的轉換與等待，將會形成無法傳輸資料的時間空檔，造成時間上的浪費。

#### 【發明內容】

因此，如何針對上述習知技藝的不足之處，以及使用時所發生的問題提出一種新穎的解決方案，設計出一種實用而有效的匯流排構造與仲裁方法，不僅可提高匯流排頻寬的利用率，且不會有控制晶片長時間等待匯流排而降低整體效率的情形，長久以來一直是使用者殷切盼望及本發明人欲行解決之困難點所在，而本發明人基於多年從事於資訊產業的相關研究、開發、及銷售之實務經驗，乃思及改良之意念，經多方設計、探討、試作樣品及改良後，終於研究出一種控制晶片組間之匯流排及其仲裁方法，以解決上述之問題。爰是，

本發明之主要目的，在於提供一種控制晶片組間之匯





#### 五、發明說明 (4)

流排，其主要係於控制晶片組間設有二位址資料匯流排，可確保各控制晶片可即時利用一匯流排對另一控制晶片傳輸資料者。

本發明之次要目的，在於提供一種控制晶片組間之匯流排，其二位址資料匯流排皆為雙向共用匯流排，可靈活調度運用，有效利用其傳輸之頻寬者。

本發明之又一目的，在於提供一種控制晶片組間之匯流排，各控制晶片分別對其中一匯流排擁有較高之優先權，可避免單一控制晶片長時間佔用所有位址資料匯流排者。

本發明之又一目的，在於提供一種控制晶片組間匯流排之仲裁方法，其主要係令各控制晶片各對其中一位址資料匯流排擁有較高之優先權，當一控制晶片對匯流排之需求較大時，可發出匯流排要求訊號，若另一控制晶片不需使用匯流排，則可調用另一位址資料匯流排，藉以加快傳輸速率者。

本發明之又一目的，在於提供一種控制晶片組間匯流排之仲裁方法，當一控制晶片擁有較高優先權之位址資料匯流排被佔用時，只要發出匯流排要求訊號，即可取回該位址資料匯流排之使用權，藉以確保各控制晶片皆可即時使用匯流排傳輸資料者。

為了達成上述之目的，本發明提供一種控制晶片組間之匯流排，該控制晶片組包含有一第一控制晶片及一第二控制晶片，藉由一晶片組間之匯流排互相傳送資料，其中



#### 五、發明說明 (5)

該匯流排主要係包含有：一第一位址資料匯流排，主要做為第一控制晶片到第二控制晶片之位址與資料傳輸之用；及一第二位址資料匯流排，主要做為第二控制晶片到第一控制晶片之位址與資料傳輸之用，可確保各控制晶片皆可即時使用匯流排傳輸資料者。

另外，本發明尚提供一種控制晶片組間匯流排之仲裁方法，其系統包含有一第一控制晶片、一第二控制晶片、一第一位址資料匯流排及一第二位址資料匯流排，其仲裁方法主要係包含有下列步驟：第一控制晶片利用第一位址資料匯流排向第二控制晶片傳輸位址及資料；當第一控制晶片需使用第二位址資料匯流排時，該第一控制晶片發出一匯流排要求訊號；若第二控制晶片正在使用第二位址資料匯流排，則由第二控制晶片繼續使用該第二位址資料匯流排；及若第二控制晶片不需使用第二位址資料匯流排，則於一轉換週期後由該第一控制晶片使用該第二位址資料匯流排，可確保各控制晶片皆可即時使用位址資料匯流排，並可大幅提高傳輸效率者。

#### 【實施方式】

茲為使貴審查委員對本發明之特徵、結構及所達成之功效有進一步之瞭解與認識，謹佐以較佳之實施圖例及配合詳細之說明，說明如後：

首先，請參閱第2圖，係本發明一較佳實施例之電路方塊圖。如圖所示，在本發明中CPU 24係透過一第一控



##### 五、發明說明 (6)

制晶片(北橋晶片)20連接圖形加速埠(accelerated graphic port; AGP)、記憶體26及第二控制晶片(南橋晶片)22,而南橋晶片22則可通過PCI匯流排、ISA匯流排等連接其他周邊裝置。

其中,北橋晶片20和南橋晶片22間設有一控制晶片組間匯流排28,該匯流排28至少包含有一下傳命令訊號線281,可用以傳遞由北橋發出到南橋之匯流排命令;一上傳命令訊號線285,可傳遞由南橋發出到北橋之匯流排命令;一下傳位址資料匯流排283可用以傳送由北橋發出到南橋之資料及其位址;及一上傳位址資料匯流排287,可用以傳送由南橋發出到北橋之資料及其位址。利用此一匯流排架構,北橋與南橋隨時都可使用匯流排,而不需等待匯流排之仲裁,故不會有一方資料傳遞延誤的情形發生。

其次,請參閱第3圖,係本發明另一實施例之電路方塊圖。如圖所示,其主要之電路構造與第2圖所示之實施例大致相同,惟其控制晶片組間匯流排38主要包含有一下傳命令訊號線381,可用以傳遞由北橋發出到南橋之匯流排命令,如匯流排要求訊號;一上傳命令訊號線385,可傳遞由南橋發出到北橋之匯流排命令,如匯流排要求訊號;一下傳優先匯流排383及一上傳優先匯流排387,分別做為北橋與南橋間資料及其位址傳輸之用。其中,下傳優先匯流排383與上傳優先匯流排387皆為雙向共用位址資料匯流排,可依各控制晶片對匯流排之需



#### 五、發明說明 (7)

求狀況而動態調整各位址資料匯流排之資料傳輸方向，藉以將匯流排之傳輸頻寬做最大程度之利用。

在本實施例中，由於下傳優先匯流排 383 與上傳優先匯流排 387 都是雙向共用匯流排，故需有一良好的仲裁機制才能加以有效利用。本發明之仲裁方法首先設定北橋晶片 20 對下傳優先匯流排 383 擁有較高之優先權，而南橋晶片 22 則對上傳優先匯流排 287 擁有較高之優先權。在一般的狀況下，北橋 20 利用下傳優先匯流排 383 對南橋 22 傳輸資料，而南橋 22 則透過上傳優先匯流排 387 向北橋 20 傳輸資料。當北橋 20 對匯流排之需求量很高而使下傳優先匯流排 383 處於忙碌的狀態時，可透過下傳命令訊號線 381 對南橋 22 發出匯流排要求訊號。若南橋 22 此時正在使用或必須使用匯流排，則仍由南橋 22 繼續使用上傳優先匯流排 387；若南橋 22 此時不需使用匯流排，則可於一轉換週期(turn-around cycle)後將上傳優先匯流排 387 交由北橋 20 使用，藉以舒解下傳優先匯流排 383 之忙碌狀態，並有效利用匯流排之頻寬。

又，當上傳優先匯流排 387 被北橋 20 佔用時，若南橋 22 需使用匯流排，可透過上傳命令訊號線 385 向北橋 20 發出一匯流排要求訊號。此時，北橋 20 必須立即或在完成其目前在上傳優先匯流排 387 上執行之匯流排命令後，交出上傳優先匯流排 387 之控制權，並於一轉換週期後交由南橋 22 使用，以防止資料傳輸延誤的情



## 五、發明說明 (8)

形發生。

反之，當南橋 22 對匯流排之需求較高，而使上傳優先匯流排 387 處於忙碌的狀態時，可透過上傳命令訊號線 385 對北橋 20 發出匯流排要求訊號。若北橋 20 此時正在使用或必須使用匯流排，則仍由北橋 20 繼續使用下傳優先匯流排 383；若北橋 20 此時不需使用匯流排，則可於一轉換週期 (turn-around cycle) 後將下傳優先匯流排 383 交由南橋 22 使用，藉以舒解上傳優先匯流排 387 之忙碌狀態，並有效利用匯流排之頻寬。

當下傳優先匯流排 383 被南橋 22 佔用時，若北橋 20 需使用匯流排，可透過下傳命令訊號線 381 向南橋 22 發出一匯流排要求訊號。此時，南橋 22 必須立即或在完成其目前在下傳優先匯流排 383 上執行之匯流排命令後，交出下傳優先匯流排 383 之控制權，並於一轉換週期後交由北橋 20 使用，以防止資料傳輸延誤的情形發生。

如此，利用本發明之匯流排架構及其仲裁方法，可使控制晶片組中的各控制晶片都能有效利用晶片組間之匯流排，可動態調整各位址資料匯流排之傳輸方向，將其傳輸頻寬做最大的利用，並可確保各控制晶片皆可隨時使用匯流排，而不會因一控制晶片長時間佔用匯流排，造成另一控制晶片資料傳遞上的延誤。

綜上所述，當知本發明係有關於一種控制晶片組間之匯流排及其仲裁方法，尤指一種可動態調整匯流排傳輸方



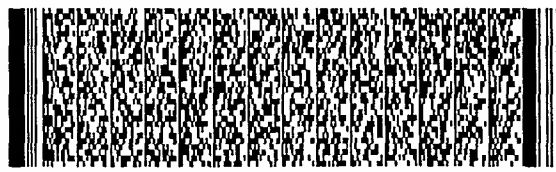
#### 五、發明說明 (9)

向之仲裁方法，其主要係於一第一控制晶片與一第二控制晶片間設有一第一位址資料匯流排及一第二位址資料匯流排，各控制晶片分別對各位址資料匯流排擁有較高之優先權，並可依各匯流排之使用狀況，動態調用另一位址資料匯流排，藉以提高控制晶片組間之傳輸效率者。故本發明實為一富有新穎性、進步性，及可供產業利用功效者，應符合專利申請要件無疑，爰依法提請發明專利申請，懇請貴審查委員早日賜予本發明專利，實感德便。

惟以上所述者，僅為本發明之一較佳實施例而已，並非用來限定本發明實施之範圍，即凡依本發明申請專利範圍所述之形狀、構造、特徵、精神及方法所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

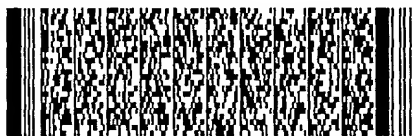
#### 圖號簡單說明：

1 0	北橋	1 2	南橋
1 4	CPU	1 6	記憶體
1 8	晶片組間匯流排	1 8 1	下傳命令訊號線
1 8 3	下傳觸發訊號線	1 8 5	位元致能訊號線
1 8 6	位址資料匯流排	1 8 7	上傳命令訊號線
1 8 9	上傳觸發訊號線		
2 0	北橋	2 2	南橋
2 4	CPU	2 6	記憶體
2 8	晶片組間匯流排	2 8 1	下傳命令訊號線



五、發明說明 (10)

2 8 3	下傳位址資料匯流排		
2 8 5	上傳命令訊號線		
2 8 7	上傳位址資料匯流排		
3 8	晶片組間匯流排	3 8 1	下傳命令訊號線
3 8 3	下傳優先匯流排	3 8 5	上傳命令訊號線
3 8 7	上傳優先匯流排		



圖式簡單說明

第 1 圖：係習用控制晶片組間匯流排之示意圖；

第 2 圖：係本發明一較佳實施例之電路方塊圖；及

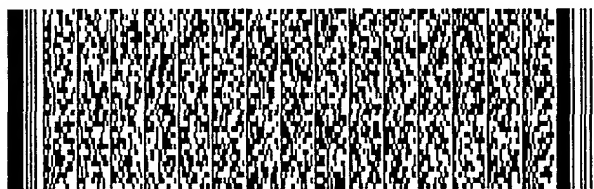
第 3 圖：係本發明另一實施例之電路方塊圖。





## 六、申請專利範圍

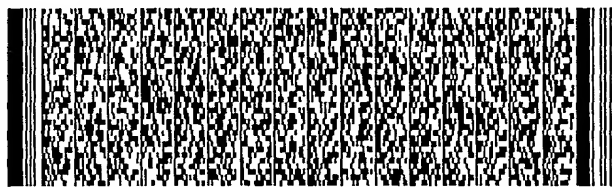
1. 一種控制晶片組間之匯流排，該控制晶片組包含有一第一控制晶片及一第二控制晶片，藉由一晶片組間之匯流排互相傳送資料，其中該匯流排主要係包含有：  
一第一位址資料匯流排，主要做為第一控制晶片到第二控制晶片之位址與資料傳輸之用；及  
一第二位址資料匯流排，主要做為第二控制晶片到第一控制晶片之位址與資料傳輸之用。
2. 如申請專利範圍第1項所述之控制晶片組間匯流排，其中該第一位址資料匯流排係為一共用雙向匯流排。
3. 如申請專利範圍第2項所述之控制晶片組間匯流排，尚包含有一第一命令訊號線，該第一控制晶片可透過該第一命令訊號線向第二控制晶片發出一匯流排要求訊號者。
4. 如申請專利範圍第2項所述之控制晶片組間匯流排，其中該第一控制晶片係對該第一位址資料匯流排擁有較高之優先權者。
5. 如申請專利範圍第1項所述之控制晶片組間匯流排，其中該第二位址資料匯流排係為一共用雙向匯流排。
6. 如申請專利範圍第5項所述之控制晶片組間匯流排，尚包含有一第二命令訊號線，該第二控制晶片可透過該第二命令訊號線向第一控制晶片發出一匯流排要求訊號者。
7. 如申請專利範圍第5項所述之控制晶片組間匯流排，其中該第二控制晶片係對該第二位址資料匯流排擁有



#### 六、申請專利範圍

較高之優先權者。

8. 如申請專利範圍第1項所述之控制晶片組間匯流排，其中該第一控制晶片係為一北橋晶片，而該第二控制晶片係為一南橋晶片者。
9. 如申請專利範圍第1項所述之控制晶片組間匯流排，其中該第一控制晶片係為一南橋晶片，而該第二控制晶片係為一北橋晶片者。
10. 一種控制晶片組間匯流排之仲裁方法，其系統包含有一第一控制晶片、一第二控制晶片、一第一位址資料匯流排及一第二位址資料匯流排，其仲裁方法主要係包含有下列步驟：  
第一控制晶片利用第一位址資料匯流排向第二控制晶片傳輸位址及資料；  
當第一控制晶片需使用第二位址資料匯流排時，該第一控制晶片發出一匯流排要求訊號；  
若第二控制晶片正在使用第二位址資料匯流排，則由第二控制晶片繼續使用該第二位址資料匯流排；及  
若第二控制晶片不需使用第二位址資料匯流排，則於一轉換週期後由該第一控制晶片使用該第二位址資料匯流排。
11. 如申請專利範圍第10項所述之仲裁方法，尚可包含有下列步驟：  
當第一控制晶片使用第二位址資料匯流排時，若第二控制晶片需使用該第二位址資料匯流排，則由該第



## 六、申請專利範圍

二控制晶片發出一匯流排要求訊號；

該第一控制晶片停止使用第二位址資料匯流排；及  
於一轉換週期後由該第二控制晶片使用該第二位址資料匯流排。

12．如申請專利範圍第10項所述之仲裁方法，其中該第一控制晶片係為一北橋晶片，而該第二控制晶片係為一南橋晶片者。

13．如申請專利範圍第10項所述之仲裁方法，其中該第一控制晶片係為一南橋晶片，而該第二控制晶片係為一北橋晶片者。

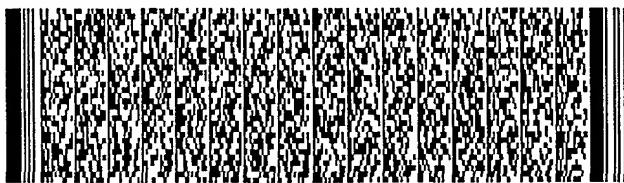
14．一種控制晶片組間匯流排之仲裁方法，其系統包含有一第一控制晶片、一第二控制晶片、一第一位址資料匯流排及一第二位址資料匯流排，其仲裁方法主要係包含有下列步驟：

第二控制晶片利用第二位址資料匯流排向第一控制晶片傳輸位址及資料；

當第二控制晶片需使用第一位址資料匯流排時，該第二控制晶片發出一匯流排要求訊號；

若第一控制晶片正在使用第一位址資料匯流排，則由第一控制晶片繼續使用該第一位址資料匯流排；及  
若第一控制晶片不需使用第一位址資料匯流排，則於一轉換週期後由該第二控制晶片使用該第一位址資料匯流排。

15．如申請專利範圍第14項所述之仲裁方法，尚可包含有



#### 六、申請專利範圍

下列步驟：

當第二控制晶片使用第一位址資料匯流排時，若第一控制晶片需使用該第一位址資料匯流排，則由該第一控制晶片發出一匯流排要求訊號；

該第二控制晶片停止使用第一位址資料匯流排；及於一轉換週期後由該第一控制晶片使用該第一位址資料匯流排。

16．如申請專利範圍第14項所述之仲裁方法，其中該第一控制晶片係為一北橋晶片，而該第二控制晶片係為一南橋晶片者。

17．如申請專利範圍第14項所述之仲裁方法，其中該第一控制晶片係為一南橋晶片，而該第二控制晶片係為一北橋晶片者。



第 1/19 頁



第 2/19 頁



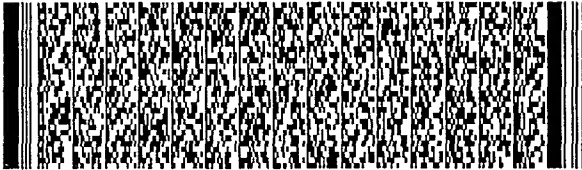
第 3/19 頁



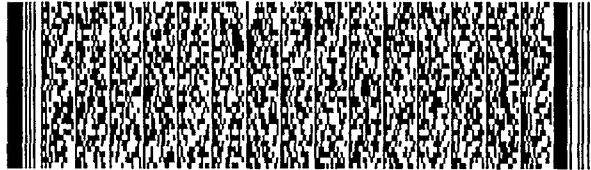
第 4/19 頁



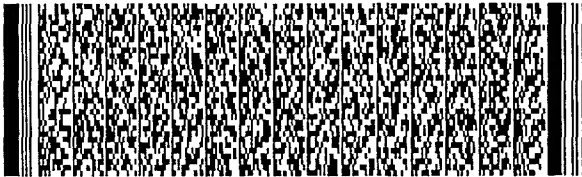
第 5/19 頁



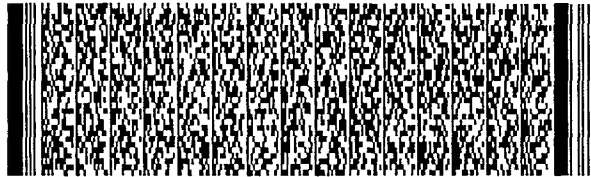
第 5/19 頁



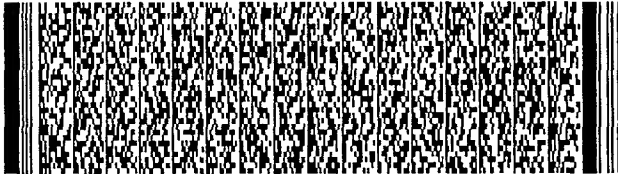
第 6/19 頁



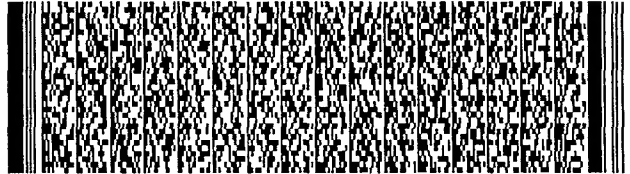
第 6/19 頁



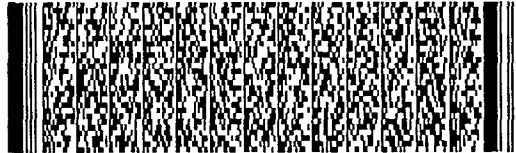
第 7/19 頁



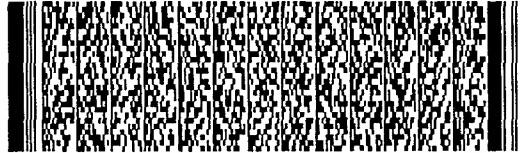
第 7/19 頁



第 8/19 頁



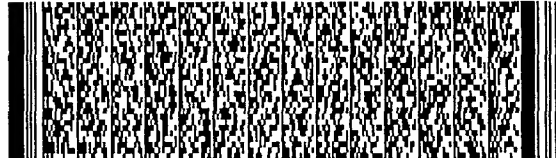
第 8/19 頁



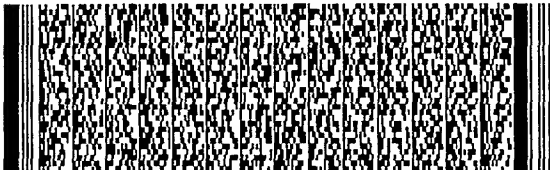
第 9/19 頁



第 9/19 頁



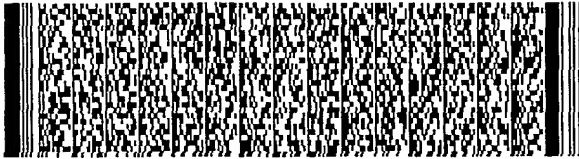
第 10/19 頁



第 10/19 頁



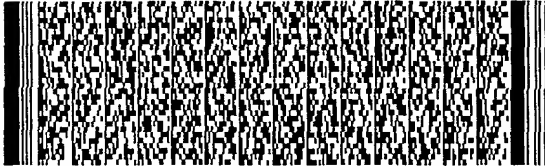
第 11/19 頁



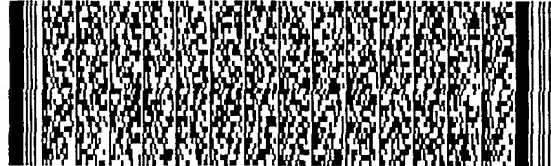
第 11/19 頁



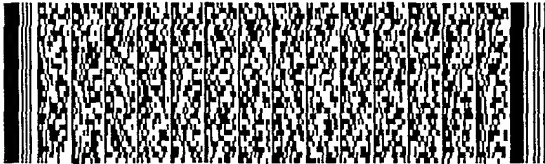
第 12/19 頁



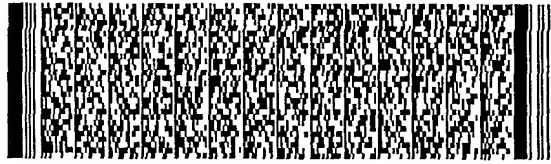
第 12/19 頁



第 13/19 頁



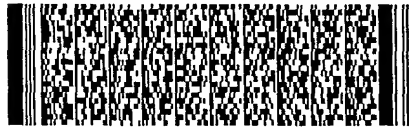
第 13/19 頁



第 14/19 頁



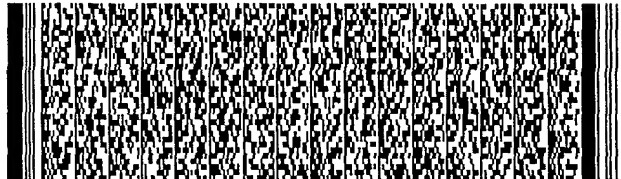
第 15/19 頁



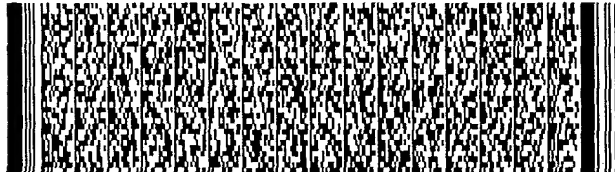
第 16/19 頁



第 17/19 頁

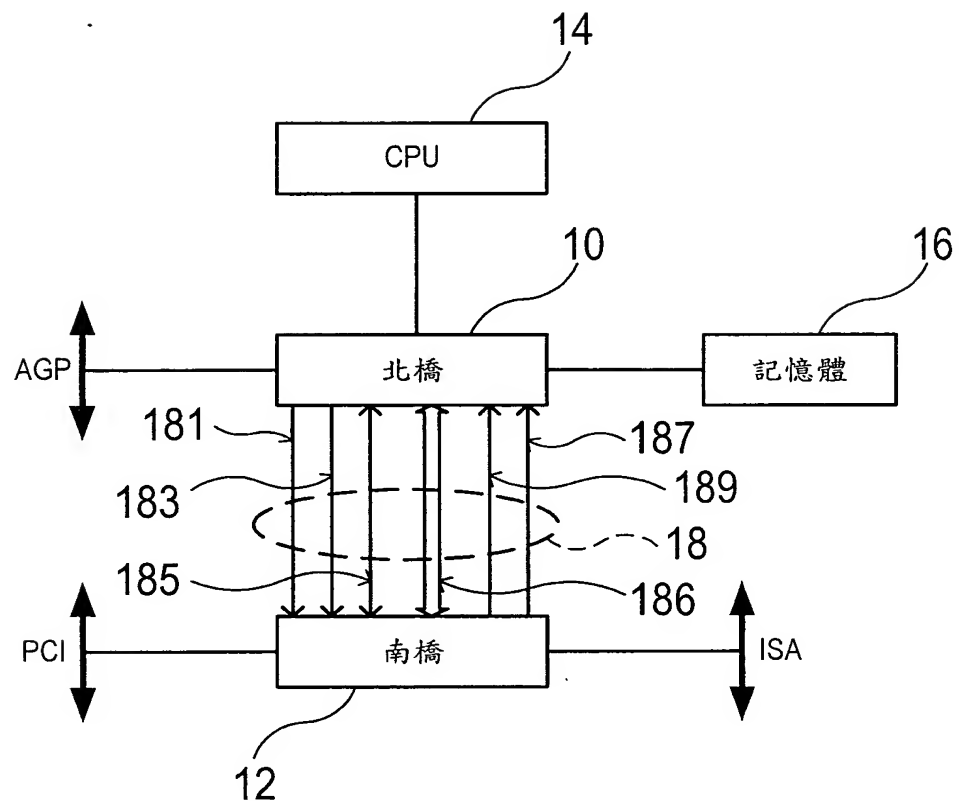


第 18/19 頁

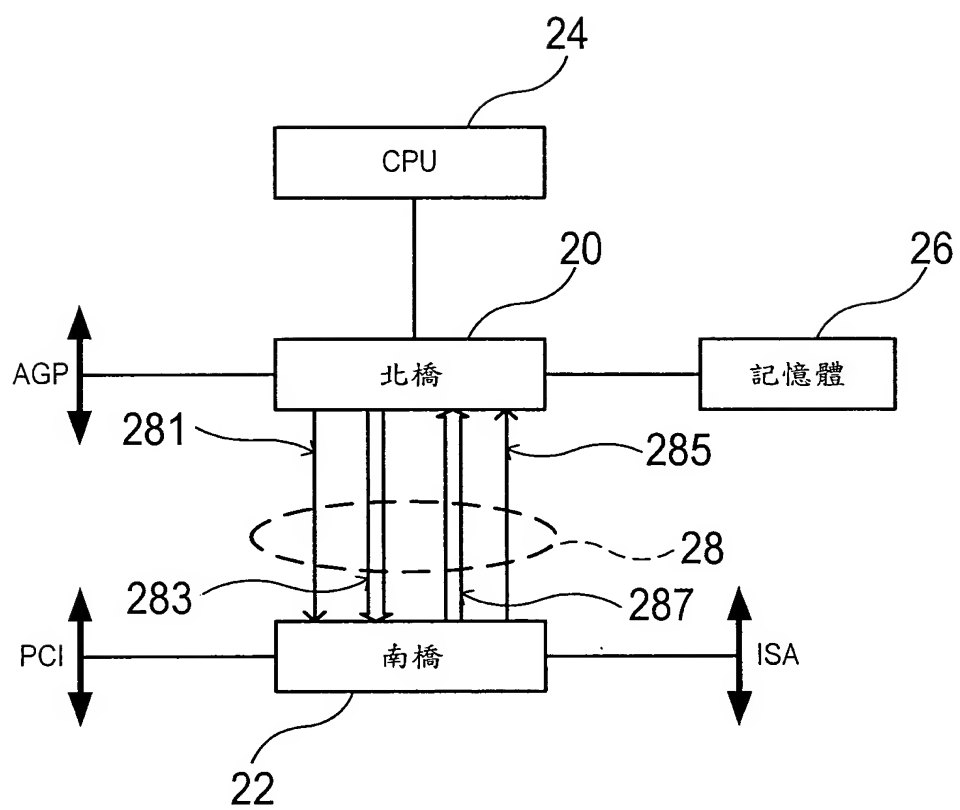


第 19/19 頁



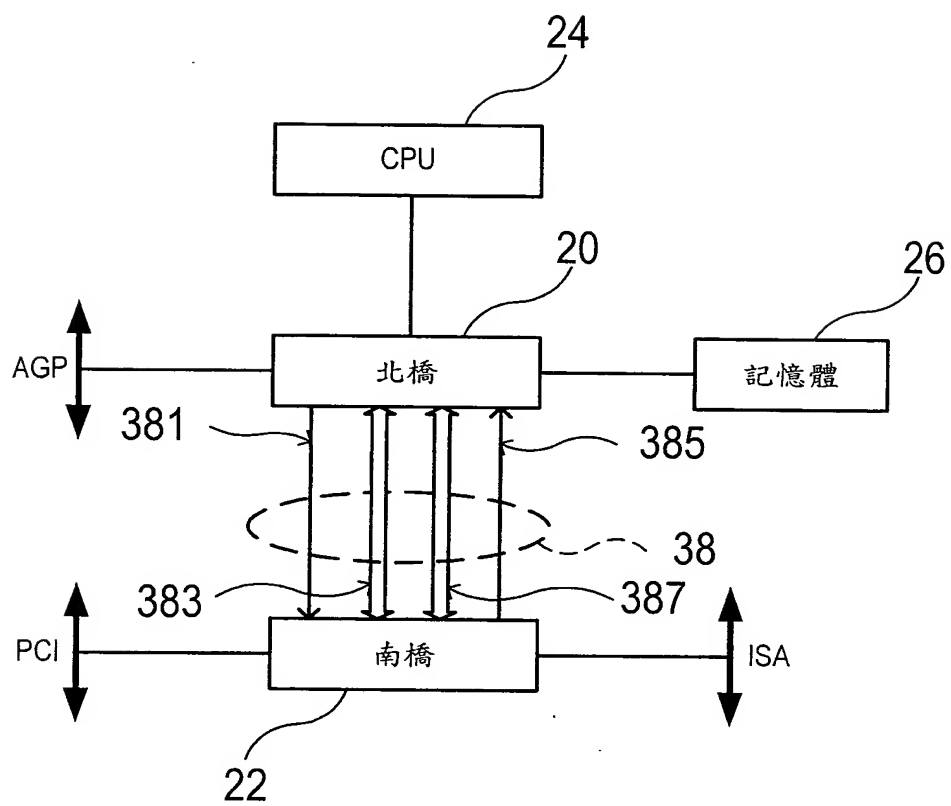


第 1 圖  
(習用技術)



第 2 圖





第 3 圖